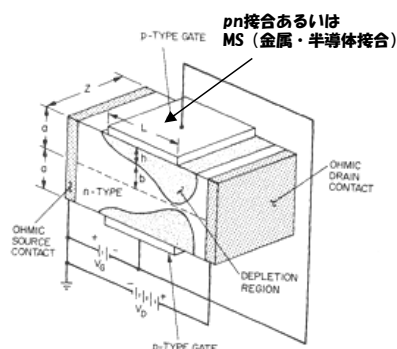


【歴史的背景】 npn トランジスタに代表されるバ ip トランジスタは、電子とホールとの二つのキャリアが動作に関係するトランジスタでした。その他に、一種類のキャリアだけが動作に関係するユニ ip トランジスタがある。

歴史的にはユニ ip トランジスタが先に発明されている。リエンフェルトが 1925 年にカナダで出した特許が最初である。GE 等が実現に取り組んだが、当時の半導体製造技術では実現できなかった。

バ ip トランジスタはその 20 年ほど後、1947 年にベル電話研究所においてブラットン・バーディーンによって点接触トランジスタによるトランジスタ効果(固体増幅素子)、その 1 年後にショックレーによる接合型トランジスタが発明された。現在使われているのは、動作が安定な接合型トランジスタである。ユニ ip トランジスタが実現されたのは、更に後の 1960 年代である。現在最も大量に使われているユニ ip トランジスタである MOS 型の電界効果トランジスタは、ベル電話研究所のカーンとアッタラにより 1960 年に実現された。それまでシリコン酸化膜は、トランジスタなどの表面保護膜として使われていたが、これをゲート絶縁膜として用いてトランジスタ動作を確認した。



しかし、当時の半導体製造技術は成長過程であって、汚染制御が十分ではなく、MOS 型電界効果トランジスタの動作は不安定であった。

その後、ジャッキルビーやロバートノイスによる集積回路の実現を受けて、トランジスタの集積度が上がるにつれ、消費電力が膨大なものとなり、低消費電力のトランジスタが求められるに至り、MOS 型電界効果トランジスタが本格的に開発され、実用に至った。

【電界効果トランジスタの構造】

ユニ ip トランジスタの構造を示す。動作の基本は、半導体中の多数キャリアの流れを、ゲート電極によって制御し、増幅効果を得る事である。ゲート電極の構造によって、ユニ ip トランジスタである電界効果トランジスタはいくつかの種類に分類される。ゲート電極が pn 接合で作られるものを接合型電界効果トランジスタ(junction FET: JFET)、ゲート電極を金属・半導体接触である構造をショットキー障壁型 FET、ゲート電極を金属・絶縁体・半導体接合で作る場合は、MIS FET あるいは MOS FET と言う。電流の元になるキャリアの供給部分をソース領域といい、電流が流れ込む半導体領域をドレインと言う。キャリアが流れる部分をチャネルと言う。従って、ユニ ip トランジスタである電界効果トランジスタは、ソースとドレインとゲート電極の三端子から構成され、ソースとドレインの間にゲート電極があり、ゲート電極に加える電圧によってチャネルに流れる電流を制御する。流れる電流がホールの場合は、p チャネルトランジスタと言ひ、電流が電子の場合を n チャネルトランジスタと言う。

TYPE MODE	n TYPE	p TYPE
NORMALLY ON (DEPLETION)		
NORMALLY OFF (ENHANCEMENT)		

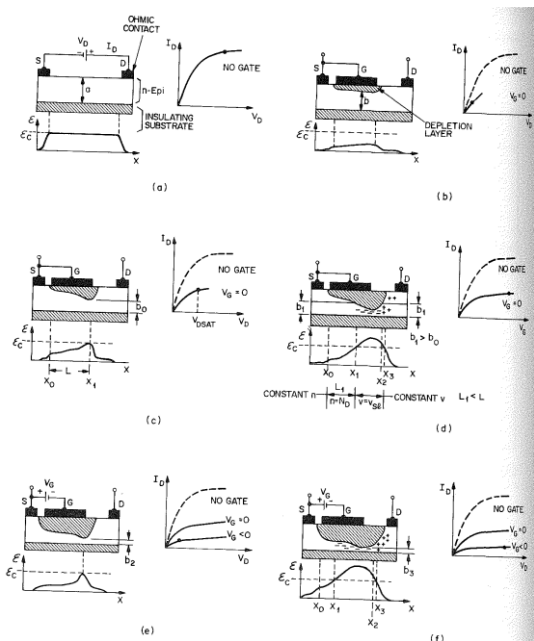
JFET の回路記号を示す。はじめに、ゲート電極が pn 接合で作られているジャンクション FET について説明する。n 型シリコンを用いる場合、流れる電流は n 型半導体の多数キャリアである電子によって流れるから、n チャネルの FET となる。

JFET では、ゲートを p⁺シリコンで作る。この図では、シリコン中に、例えば典型的なアクセプター不純物の B(ボロン)をイオン注入や拡散でドーピングし、p⁺n ダイオード構造のゲートを作る。印加する電圧は、ドレインがソースに対して正の電位(プラス電位)になるようにする。つまりドレインのポテンシャルエネルギーを低くし、ソースから電子が流れ込みやすいようにする。

p⁺n 構造のゲートの p⁺側をソース電圧に対して負(マイナス)にする。ゲートバイアス電圧は V_{GS} と表す。つまりゲートの p⁺n ダイオード構造は逆バイアス電圧がかかると、チャネル領域にゲートから空乏層が伸び、電流通路(チャネル)の幅が狭くなる。チャネル抵抗が高くなるので、ソースからドレインに流れ込む電流は減少する。同

時に、ドレイン電流がチャネルを流れているが、電流が流れることによるチャネル抵抗の電圧降下のため、元々ドレインにプラスの電圧を印加しているのに $p+n$ ゲートとドレインの間は逆バイアスが印加されているが、ドレイン付近の電圧降下のため逆バイアスが強くなり、空乏層はソース近くよりも、ドレイン近くで広がりが大きくなる。ドレイン付近の空乏層幅がチャネル中に広がっていく。

【電流・電圧特性】



JFET の電流・電圧特性について概略を説明する。一定のゲート電圧のもとでは、ソース・ドレイン間電圧が小さいうちは、ソースとドレインはいずれも n 型半導体なので、オーム性の電流が流れる。均一な n 型半導体を流れる電流と同じである。ソース・ドレイン間電圧を上げていくと、ドレイン近くのゲートの逆バイアス電圧が大きくなるから、ついには空乏層がチャネル全体に広がる。その状態を **ピンチオフ状態** という。この状態になるとチャネル抵抗が大きくなり、ソース・ドレイン間電圧を増加しても、ドレイン電流が増えず、一定の電流が流れる。従って、**JFET** の出力特性は、図のようになる。さらにソース・ドレイン間電圧を上げていくと、ついには降伏現象がおきて、急激に電流が増加して降伏に至る。

これまで説明した **JFET** は、チャネルの厚さに相当する部分が厚いので、ゲート電圧がゼロボルトではチャネルにゲートから空乏層

層があまり伸びず、電流が流れる状態になる。これを **ノーマリオン型** と言う。つまりゲート電圧がゼロでは電流が流れる状態であり、ゲート電圧を逆バイアス方向に増やしていくと飽和する電流電圧特性になる。一方、チャネルの厚さを薄くして、ゲート電圧がゼロボルトですでに空乏層が広がっていてチャネルが閉じている構造を、**ノーマリーオフ型** トランジスタと言う。この構造ではゲートに順バイアス電圧を印加することでチャネルに伸びる空乏層を狭くしてドレイン電流が流れるようにする。

JFET に限らず、**FET** 電界効果トランジスタは、ゲートには電流がほとんど流れないので、ゲート電圧によって動作します。つまり、ゲート電圧の変化に対するドレイン電流の変化が増幅になる。**FET** では **相互コンダクタンス**

クタンス g_m という値が **FET** の性能を表す指標となる。 $g_m = \left. \frac{\partial I_D}{\partial V_G} \right|_{V_{DS} = \text{const}}$ 。この値が大きいほど電流駆

動能力が高い、よい **FET** であり、より高周波で動作する。**JFET** の g_m について考察する。チャネルを流れるドレイン電流は、チャネル抵抗によって決まる。チャネル抵抗はゲートからチャネルに伸びる空乏層によって決まる。

チャネルに伸びる空乏層幅は、チャネルの方向を z 軸として $D(z) = \sqrt{\frac{2\epsilon\epsilon_0}{qN_D} \{\phi_0 + V(z) - V_{GS}\}}$ で得られる。チャネル

抵抗は、チャネルの厚さ a から空乏層幅だけ少なくなるために増大するから、チャネルの微小領域の抵抗値の変化率 dR は $dR = \frac{dz}{\mu q N_D W \{a - D(z)\}}$ となる。これは直方体の半導体の抵抗と同じである。ドレイン

電流はチャネル中を通じて連続しているから、 dz 部分の電圧 dV は $dV = I_D dR$ 。これらから、

$I_D dz = \mu q N_D W \{a - D(z)\} dV$ となるので、これをチャネル全体(長さ L)で積分して

$I_D = g_0 \left[V_{DS} - \frac{2}{3\sqrt{V_A}} \left\{ (V_{DS} + \phi_0 - V_{GS})^{\frac{3}{2}} - (\phi_0 - V_{GS})^{\frac{3}{2}} \right\} \right]$ が得られる。ここで $g_0 = \frac{\mu a q N_D W}{L}$ 、これは空乏

層がチャネルに広がっていないときのチャネルコンダクタンスに相当する。ここで $V_A = \frac{a^2 q N_D}{2 \epsilon \epsilon_0}$ です。 V_{DS} が小さい

ときは、 $I_D = g_0 V_{DS} \left(1 - \sqrt{\frac{\phi_0 - V_{GS}}{V_A}} \right)$ となり、ドレイン電流はソース・ドレイン電圧に比例する。これを線形領域

と言う。ソース・ドレイン電圧が増加すると、空乏層が互いに近づいてピンチオフ状態になり、ドレイン電流が飽和

する。相互コンダクタンスは飽和領域では、 $g_m = g_0 \left(1 - \sqrt{\frac{\phi_0 - V_{GSA}}{V_A}} \right)$ となる。

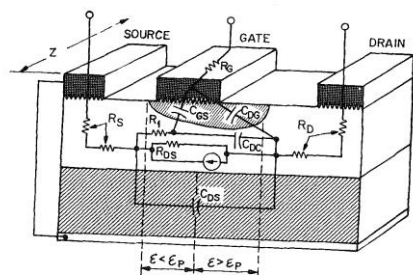
電流駆動能力 g_m を高くするためには、1.チャネル幅 W を大きくする 2.チャネル長 L を小さくする 3.移動度が大きな材料を使う 4.チャネルのドナー不純物濃度を高くする(チャネル抵抗を小さくする) ことが効果的であることが分かる。

以上は JFET の場合であるが、FET にはゲート構造によって他に、ショットキー障壁を用いたものや、MOS 構造をゲートに用いた構造がある。ショットキーゲート FET は MES FET と言うが、これは大体 JFET と同じ動作機構である。JFET の pn 接合ゲートの代わりに、金属半導体接触のゲート構造を用いる。pn 接合ゲートに比べて SB ゲートは逆方向リーク電流が大きいので消費電力は大きくなるが、少数キャリア蓄積効果は小さい(原理的には無い)ので、高速に動作する。これは SB ダイオードと同じである。

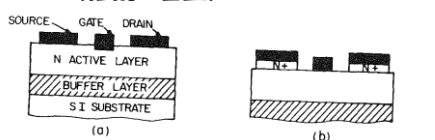
S/D チャネル抵抗を低減するために、種々の構造が工夫されている。セルフアライン (自己整合) ゲートは、S/D の距離を短くして (短チャネル化) チャネル抵抗を下げる構造・プロセスである。リセスゲート構造は、

S/D 領域の電界強度の集中を緩和して、高電圧 (従ってハイパワー) まで使用できるようにした構造である。

ヘテロ接合 MESFET は、S/D 電流が流れるチャネル部分の半導体に移動度が高い材料や二次元電子ガス層を使うことによってチャネル抵抗を下げ、高い g_m を達成する構造である。チャネル抵抗も普通の抵抗と同じように、キャリア濃度と移動度(チャネル移動度)を高くすると、小さな抵抗値が期待出来る。チャネル移動度を高める種々の構造が適用されている。その一つは、電流通路のチャネル領域に、量子井戸構造を適用したものである。量子井戸構造を適用することによって、キャリア発生部とキャリアが流れる領域を分離し、通常のバルク (塊の) 結晶では実現できない、高いキャリア密度と高い移動度を同時に実現出来る。

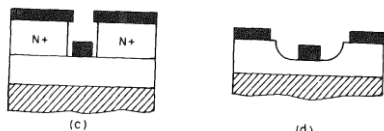


MESFETの寄生成分
(抵抗・容量)



合金接合SD

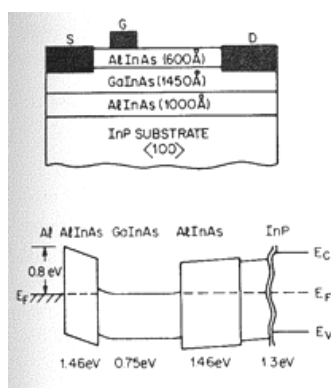
エピタキシャル接合SD



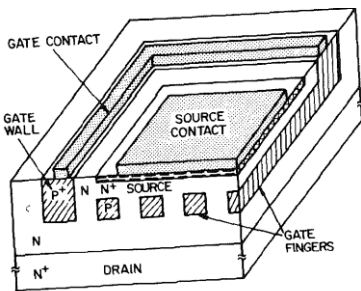
厚膜SD+セルフアラインゲート

リセスゲートSD電界強度緩和構造

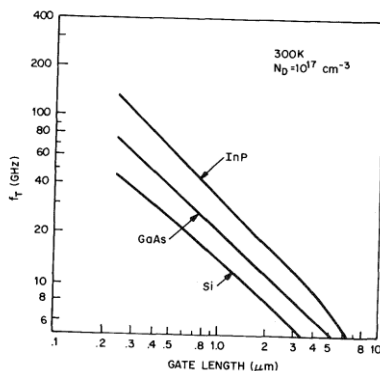
様々なMESFET断面構造
—S/D抵抗の低減—



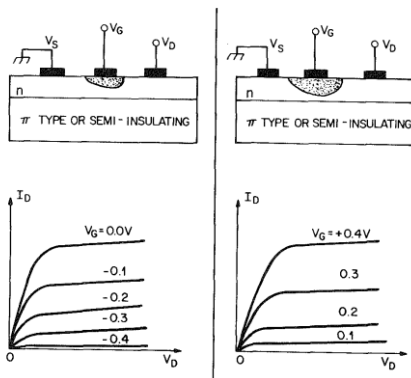
ヘテロ構造MESFET
—高移動度チャネル—



**マルチ チャンネルFET
—大電力FET—**



**MESFETのチャンネル長と
カットオフ周波数**



マルチチャンネル FET(電界効果トランジスタ)は、ゲート電極が一つではなく、複数配置した構造である。この構造によって、大電流を制御することができる特徴がある。電流通路である n 型半導体内部に埋め込まれた p⁺の島状の領域のポテンシャルが持ち上がりゲートとして動作する。p⁺と p⁺の間が離れているが、その間はキャパシタンス（静電容量）を通じてゲートとして動作する。

【FET の動作周波数】

電界効果トランジスタの高周波特性(どれだけ高い周波数まで増幅可能かという指標:遮断周波数 f_T)を示す。gate length(チャネル長)が短くなるほど高周波まで動作することが出来る。これはチャネル長が短くなるに従って、チャネル抵抗が小さくなり、相互コンダクタンス g_m が向上するためである。また、Si より GaAs、そして GaAs より InP 半導体を用いる事で、高周波動作が可能になる。これはチャネル移動度が高いために g_m が向上するためである。チャネル移動度は、ほぼ物質固有の物性値である。Si 半導体ではその限界は 80GHz と予測されている。InP 半導体を用いた FET は f_T が 400GHz を越えるデバイスも実現されている。Si 半導体の高周波性能を向上するため、Si と Ge の混晶半導体が開発されている。Si 半導体プロセスをほぼそのまま使う事が出来、しかもチャネル移動度が向上して更に高周波動作が可能となります。しかし禁

制帯幅が小さくなるため、熱励起電流によるリーク電流が増加する弱点がある。リーク電流は熱雑音の要因となる。

高い電流値を制御する高周波パワー半導体では、高い電流を制御するために、チャネル幅を広く取る必要があり、そのために楕形の電極構造を形成することがある。

$$g_m \equiv \frac{\partial I_D}{\partial V_G} \quad g_{\max} \equiv \frac{2Z\mu}{L} Q(a).$$

$$f_T = \frac{g_m}{2\pi C_{GS}} \left(= \frac{1}{2\pi\tau} = \frac{v_s}{2\pi L} \right).$$

**Z:チャンネル幅、L:チャンネル長
μ:移動度、Q:チャンネル電荷量**

チャネル長(即ちソース・ドレイン間の距離)を極限まで短くした究極の FET 構造は、静電誘導トランジスタとなる。ソースとドレイン間距離が 10nm (約 20 分子層) しかないデバイスが実現されている。その時、遮断周波数は 800GHz もの高周波が予測されている。

*上の図中、「π」型半導体とは、p-の意味である。また、n-の事を「ν」型とも言う。不純物濃度が低い半導体である。また、semi-insulating とは、半絶縁性の意味である。シリコンでは実現できないが、GaAs や InP では欠陥準位や不純物を導入して実現されている。