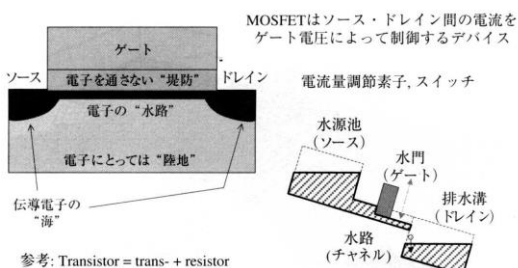
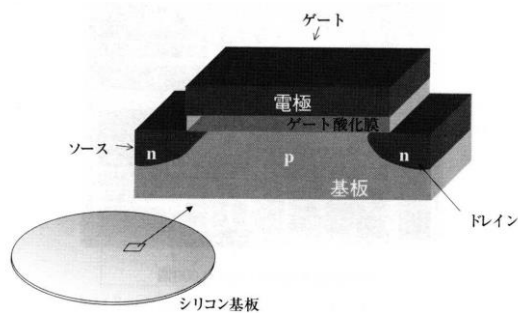
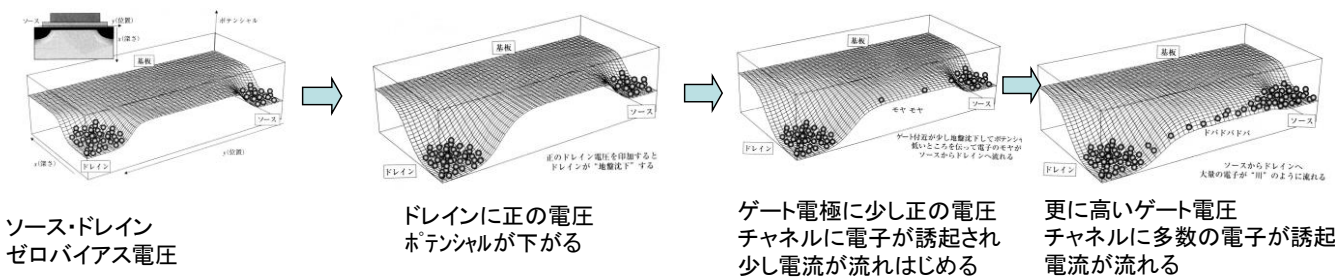


【MOS トランジスタの動作原理】



MOS トランジスタは、電界効果トランジスタ (Field Effect Transistor: FET) の一種です。以下に示すように、トランジスタを流れる電流が、電界の効果によって制御されるためです。MOSFET では MOS ダイオード型のゲート電極直下に、**用いる半導体基板結晶の多数キャリアとは反対極性のキャリアを誘起**させて、それを電流の元のキャリアとして使います。この点が npn 接合で作られた npn バイポーラトランジスタと大きく異なります。つまり、n 型半導体を使って MOSFET を形成すると、ゲート直下には MOS ダイオードの反転層であるホールが蓄積する領域が形成され、そのホールがチャネルを流れてドレイン電流となります。**P チャネル MOS トランジスタ** といいます。従って通常は電子の方が移動度が高いので、チャネルを電子が流れるようにするため、p 基板結晶を用いて、ゲート直下に n 反転層を形成し、**n チャネルの**

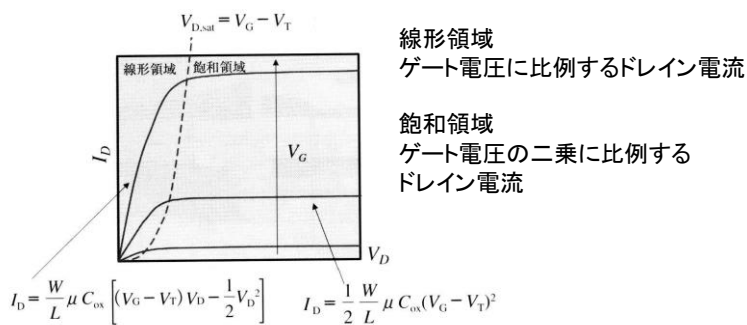
MOSFET を形成します。しかし、回路の消費電力を低くするために、この n チャネルと p チャネルを同時に使った **CMOS (コンプリメンタリー：相補型)** という意味です、MOS) が使われますが、このときは n 基板を使った p チャネル MOSFET も使われます。MOSFET の構造図を示します。N チャネルです。N チャネルとするために、p 型基板結晶を使います。P 型基板結晶の両端に、ソースとドレインにする n⁺ 領域を作ります。その間の p 基板が露出している部分に MOS ダイオード構造を作って、これをゲートとします。



ゲートにバイアス電圧が加わっていないときは、ソースとドレインは npn 構造になっているので、電流は流れません。ソースとドレインの間には、nnp トランジスタと同じように、ドレインにプラスの電圧を印加しています。横軸に沿った npn 構造のバンドダイヤグラムを見ると分かるように、ソース領域と p 型領域の間には電子に対するポテンシャルバリアができていますから電流は流れません。そこで、ゲートにプラスの電圧を印加すると、p 領域のポテンシャルが少し下がります。そうすると、ソース領域にたくさん存在する電子 (ソースは n⁺ 半導体領域ですから電子が多数キャリアとして存在します) が、低くなった p 領域に拡散していきます。拡散電流が流れ始めます。そしてドレイン領域のポテンシャルが低くなっている領域に流れ込みます。しかしこれはわずかな電流です。さらにゲートのプラス電圧を大きくしていくと、p 領域のポテンシャルがさらに引き下げられ、ソースと p 領域のポテンシャルバリアが無くなるほどになります。そうするとソースからドレインまで表面だけに電子が誘起され (**MOS ダイオードの反転状態**)、n 型

半導体になったようになり、今度はポテンシャルが低くされているドレイン領域にドリフトで電子が流れ込み、大きな電流が流れます。これを MOS ダイオードの時に説明したように、**反転領域**といいます。

このようにゲート電圧をプラスに印加して電子電流がたくさん流れ始めるゲート電圧のことを、**閾値電圧(threshold voltage: V_{th})**といいます。このとき、トランジスタは電流が流れ始めるので、**オン状態**になったといいます。さらにゲート電圧のプラス電圧を高くしていくと、ゲート直下の p 領域の電子濃度がどんどん高くなり、ゲートに印加された電圧による基板側へ広がる空乏層の幅はそれ以上広がらなくなります。従って、電子濃度の増加に対応して、ドレイン電流はゲート電圧に対してほぼ比例して増加していきます。この様子を、MOS ダイオードと同じですが、ゲートの部分のポテンシャルダイアグラムで描きます。

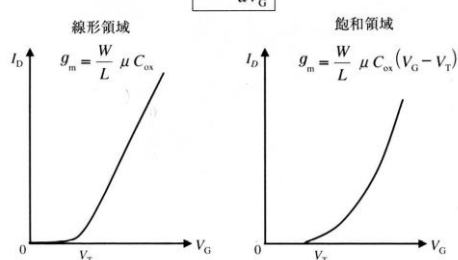


次に、ソース・ドレイン電圧 (V_{DS}) を変化させたときの MOS トランジスタの動作について示します。低い V_{DS} の時は、ゲート電圧が強いプラス電圧で反転状態ですが、ゲート直下に誘起される電子濃度に比例して増加していきます。これを**線形領域**といいます。ゲート電圧にほぼ比例してドレイン電流

が流れます。 V_{DS} を増やしていくと、ドレイン近くのゲートのプラス電圧が引きずられて小さくなり、ドレイン領域近くでは反転状態が維持できなくなります。従って、ソース領域に近いところで形成される反転状態の電子濃度によって電流が流れますが、ドレイン領域近くではその誘起される電子はほぼなくなります。これを**ピンチオフ**といいます。ピンチオフ点（反転領域が消えるドレイン領域付近の場所のことです）に到達したチャネル電子の量で電流が一定となる、**飽和領域**となります。この領域では、電流はゲート電圧の二乗に比例して流れます。

【MOSFET の性能指数】

MOSFET の性能指数
 g_m (相互コンダクタンス)



MOSFET の場合の性能指数は**相互コンダクタンス g_m**

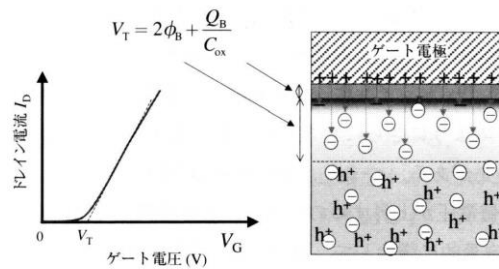
が使われます。 $g_m = \frac{\partial I_D}{\partial V_G} \Big|_{V_{DS}=\text{constant}}$ です。つまり、**ゲート電圧を少し変えたとき、ドレイン電流がどれだけ増加するか**というものです。これが大きいほど性能がよい、つまり高速に動作するトランジスタであるといえます。なぜなら、トランジスタ回路の動作は、トランジスタに繋がる負荷、つまり集積回路の次の段に繋がる

トランジスタやダイオードの容量 C 等をどれだけ早く充電するかによってほぼ決まるため、沢山の電流を流すことが出来ると高速に回路が働くからです。

このような MOSFET は、PC などの CPU に論理演算素子として大量に使われるようになっていますが、開発初期では特性のばらつきが大きく、使い物にならないものでした。その大きな原因は、閾値電圧がばらつく現象でした。閾値電圧は、トランジスタがオン、つまり電流が流れる状態と、オフ、つまり電流が流れない・遮断される状態を決めるわけで、これをそれぞれ論理値の 1 と 0 に対応させて、電子回路によって演算させているわけです。従ってその 1 と 0 を決めるゲ

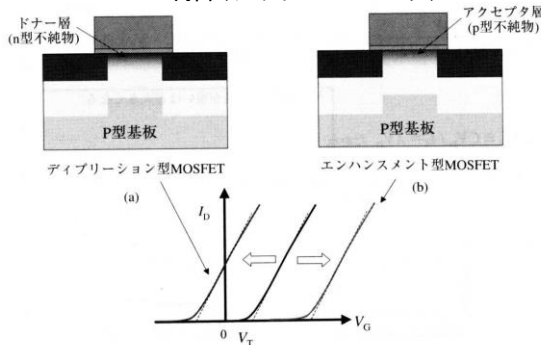
ート電圧、つまり閾値が各トランジスタでばらばらでは、とても演算はできないことになります。

しきい値電圧(電流が流れ始める電圧)
:トランジスタのオン・オフ電圧の変動
(酸化膜界面の電荷:汚染)



その原因は、ゲート酸化膜中あるいは酸化膜と半導体の間、界面での不純物や欠陥の存在にありました。界面にプラス電荷（例えば典型的にはアルカリ金属元素であるナトリウムやカリウム、あるいはリチウムな

しきい値電圧(電流が流れ始める電圧)
:トランジスタのオン・オフ電圧の制御(チャネルドーピング)



ど、人間の汗や空気中あるいはシリコンプロセスよく使われる HF の製造工程で入るもの) の不純物があれば、ゲートに加えたプラス電圧がさらに増加する方向に働くわけですから、それだけ閾値電圧が低くなります。逆にマイナス電荷の不純物（例えば同じく人間の汗からくる塩素など）があれば、ゲートに印加したプラス電圧が相殺されるので、より高い電圧をゲートに印加しないとオン状態、つまり電流が流れません。この不純物を十分低い値にすることができて初めて MOSFET が実用になりました。これが半導体製造工程

でクリーンルーム、そして現在では無人化が進められる理由です。つまり人は不純物やごみの原因になるので、工程中には、なるべく居ないほうがよいのです。

【MOS トランジスタの高性能化】

高速に動作させるためには、 g_m を大きくする、つまり、ソース・ドレイン間の距離（これをチャネル長といいます）を小さくする方向や、チャネルに誘起される反転層の電子濃度を高くする

方向があります。 $g_m = \frac{\partial I_D}{\partial V_G} \Big|_{V_{DS}=\text{constant}}$ これを大きくするためには、チャネル抵抗を小さくする・

逆に言えばチャネルコンダクタンスを大きくすればよいので、抵抗値を小さくするには、距離を狭くする、つまりチャネル幅を小さくする方向があります。抵抗率は、移動度とキャリア密度の積に比例します。MOS ゲート構造に当てはめれば、移動度はチャネル（ゲート電極直下の電流が流れる領域）の結晶品質を良くする、誘起されるキャリアを大きくする・・・ということになります。ソース・ドレイン間距離を短くすると確かに高速になりますが、困った現象も起きてきます。それは**短チャネル効果**といいます。ソース・ドレイン間距離を短くすると、ドレインから伸びる空乏層がチャネルのポテンシャルに影響していきます。これはチャネル長が短いほど影響が大きく現れ、チャネル長が短くなるにつれて閾値電圧が低くなってきます。つまり低い電圧でオンしやすくなってしまいます。これはどういうことかということ、**オンとオフ状態の間の電圧 (logic swing)** が論理回路の電圧差になり、これは、回路あるいは半導体素子の雑音より十分高い電圧差にしないといけません。回路などの雑音で誤ってオン状態になったりすると演算ができないからです。従って、高速化あるいは高集積度化のために短チャネル化していくと閾値電圧がひくくなり、ロジックスウィングが小さくなりますから、回路が動かなくなります。

その対策は、ゲート電界を高くして、ドレイン電圧がチャネルに与える影響を少なくすることです。ゲート電界を高くするためには、ゲート酸化膜を薄くします。現在はこの方向で対策が採ら

れています。 g_m を大きくするもうひとつの方向は、チャネルに誘起する反転電子濃度を高くする方向です。このためには、MOS キャパシタンス C を大きくする方向があります。 $Q=CV$ だからです。 Q が誘起される反転電子の電荷量です。 C を大きくするためには、キャパシタの厚さを薄くするか、あるいは誘電率を高くするわけです。キャパシタの厚さを薄くする方向が、酸化膜の厚さを薄くするものです。現在 5nm 程度の酸化膜厚さまでゲート酸化膜が薄く作られています。これで誘起される電荷量が増加しますので、 g_m が大きくなります。しかしシリコン酸化膜を薄くしていくと、酸化膜をトンネル電流が流れるようになります。これはゲートリーク電流となり、トランジスタの性能を悪くします。薄くしてもトンネル電流が流れないように、酸化膜より誘電率が高くバンドギャップも大きなシリコンちっか膜 (Si_3N_4) と組み合わせた、酸化・ちっかの二層ゲート絶縁膜などが使われます。さらに誘電率が高い絶縁膜を使うことです。これはシリコン酸化膜が今は使われていますが、この比誘電率 ϵ_s は大体 4 くらいですが、これを例えばハフニウム酸化物の 8 のように高い比誘電率の絶縁膜にしていく方向が探られています。

【例題】

n^+ ポリシリコンをゲート電極とした、 n チャネルシリコン MOS (従って p -シリコン基板結晶を用いる) のゲート電圧を印加していない時のバンド図を描きなさい。

解答例

絶縁体・半導体界面の半導体層のポテンシャルを求めるためには、ポアッソン方程式を解く。絶縁体・半導体界面を $x=0$ として、半導体側へ x 軸を取ると、 p 型半導体中のポアッソン方程式は、 $\frac{d\phi(x)}{dx^2} = \frac{qN_a}{\epsilon_s\epsilon_0}$ となります。ここで、絶縁体・半導体界面に形成される空乏層には、全くキャリアが存在しないとしました。空乏層の端 $x=l_D$ では、電界の x 成分がゼロ、つまり半導体の奥ではポテンシャルの傾きが無いという境界条件を用いると、

$E(x) = -\frac{d\phi(x)}{dx} = -\frac{qN_a}{\epsilon_s\epsilon_0}(x-l_D)$ となり、更に $x=l_D$ において電位がゼロとすると (電位は相対的な値なのでゼロとする)、ポテンシャル分布は

$\phi(x) = \frac{qN_a}{2\epsilon_s\epsilon_0}(x^2 - 2l_Dx + l_D^2) = \frac{qN_a}{2\epsilon_s\epsilon_0}l_D^2\left(1 - \frac{x}{l_D}\right)^2$ という **二乗型のポテンシャル分布** が得られます。

n^+ ポリシリコン (ドナー不純物を多量に添加した多結晶シリコン) は、フェルミエネルギー E_f が、伝導帯の上に位置する金属的なバンド構造を持っていますから、従って、ゼロバイアス電圧時の E_f が p -シリコンの E_f と一致する条件で MOS 構造のバンド図を描くと、下図のようになります。

